

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-12687

(43)公開日 平成10年(1998)1月16日

(51)IntCl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/66		H 0 1 L 21/66	S
				H
G 0 1 R	31/02		G 0 1 R 31/02	
	31/26		31/26	H

審査請求 未請求 請求項の数2 O L (全 4 頁)

(21)出願番号 特願平8-159666

(22)出願日 平成8年(1996)6月20日

(71)出願人 000005832

松下電工株式会社

大阪府門真市大字門真1048番地

(72)発明者 毛野 拓治

大阪府門真市大字門真1048番地松下電工株式会社内

(72)発明者 有井 康孝

大阪府門真市大字門真1048番地松下電工株式会社内

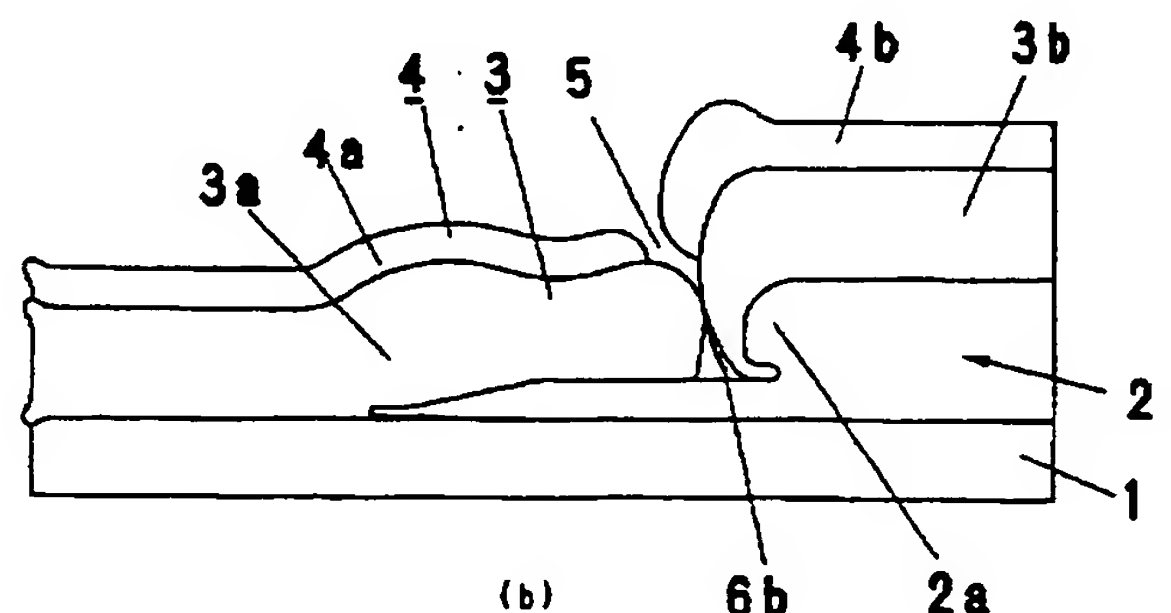
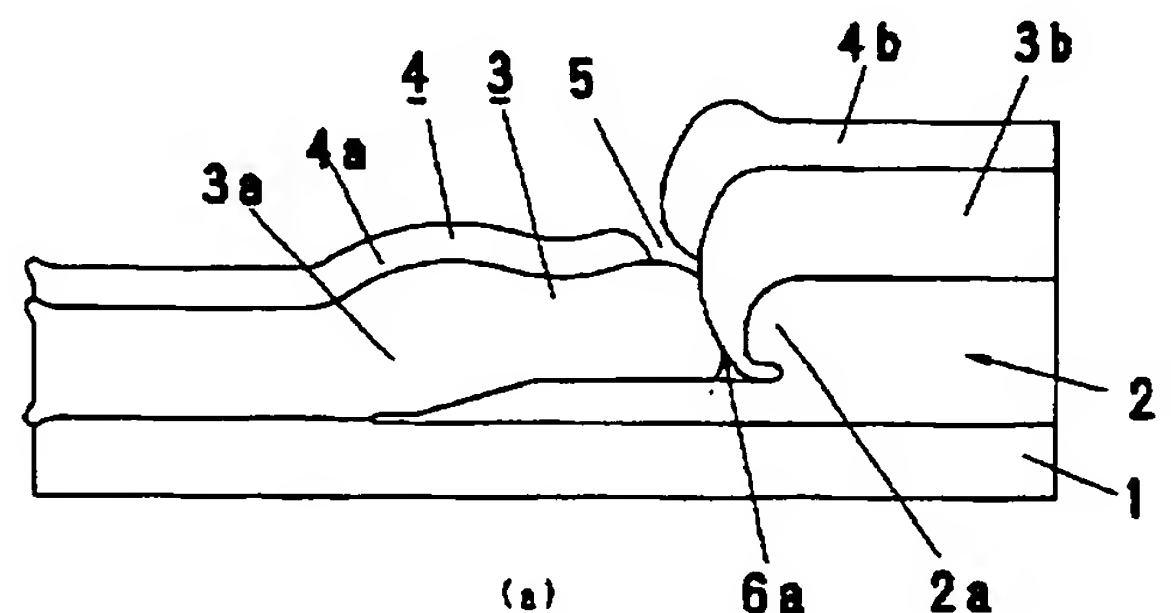
(74)代理人 弁理士 佐藤 成示 (外1名)

(54)【発明の名称】 半導体チップの検査方法

(57)【要約】

【課題】 全数に対して良否判定の検査を迅速に行うことのできる半導体チップの検査方法を提供する。

【解決手段】 基板1上に段差を有した絶縁膜2を形成し、絶縁膜2上に配線電極3を形成してなる半導体チップの検査方法において、半導体チップ製造の最終工程にて、配線電極に一旦熱的ストレスをかけた後常温に戻し、熱的ストレス印加の前後で、配線電極3a、3bの抵抗値の変化を検出し、抵抗値3a、3bの変化が所定値を超えるか否かにより半導体チップの良否を判断するようにした。



【特許請求の範囲】

【請求項 1】 基板上に段差を有した絶縁膜を形成し、該絶縁膜上に配線電極を形成してなる半導体チップの検査方法において、半導体チップ製造の最終工程にて、前記配線電極に一旦熱的ストレスをかけた後常温に戻し、該熱的ストレス印加の前後で、配線電極の抵抗値の変化を検出し、該抵抗値の変化が所定値を超えるか否かにより半導体チップの良否を判断するようにしたことを特徴とする半導体チップの検査方法。

【請求項 2】 前記配線電極上にパシベーション膜を形成したことを特徴とする請求項 1 記載の半導体チップの検査方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、基板上に段差を有した絶縁膜を形成し、該絶縁膜上に配線電極を形成してなる半導体チップの検査方法に関するものである。

【0002】

【従来の技術】 通常、半導体チップは、図 3 に示すように、シリコン等の基板 1 と、基板 1 の表面に形成されるシリコン酸化膜等の酸化膜 2 と、半導体チップ上に形成する素子と半導体チップを包み込むパッケージのリード配線とを電氣的に接続するための配線電極 3 を有してなる。半導体チップ上に素子を形成するために、酸化膜 2 に局所的なエッチングを行うと、酸化膜 2 には段差が生じる。従って、配線電極 3 は段差形状の酸化膜 2 の上に形成される。酸化膜 2 の段差形状が図 3 (a) に示すように滑らかになっている場合には、この酸化膜 2 の上に形成される配線電極 3 の形状も滑らかになり、断線することはない。

【0003】 ところが、酸化膜 2 の段差形状が図 3

(b) に示すように、逆テーパ上の段差部 2 a を有しているような場合には、配線電極 3 が段差部 2 a の両側で、配線電極 3 a、3 b というように 2 分されてしまうように形成され、しかも、配線電極 3 a、3 b は、完全には断線せずに、互いに部分的に接触した状態で導通しているのである。一般に、半導体チップの良否を検査するには、その電氣的特性の測定を行う。上述の図 3

(b) のような場合には、電氣的特性としては正常となり良品と判断されるが、その後の熱ストレスにより 2 分された配線電極 3 a、3 b の接触がなくなり、良否の検査から時間が経過した後不良になってしまうという問題があった。

【0004】 このような点を改善するために、プロセスの設計や半導体チップ構造を決めるマスク設計で防止策を施すが、量産を実施した場合に全品検査することができない。従って、半導体チップを抜き取り、断面研磨して断面形状を調べるか、最近では、図 4 (a) に示すように、FIB (Focused Ion Beam) 方式で、半導体チップの配線電極の段差のある部分 7 をエ

ッチングで彫り込み、図 4 (b) に示すように、その側面をみることにより、段差部の配線電極が断線しているか否かを確認するような方法がある。

【0005】

【発明が解決しようとする課題】 しかしながら、上述のような検査方法では、抜き取り検査であるので全品に対する検査ができないし、この検査自体が破壊検査となるので、全品の検査は不可能であるという問題があった。

【0006】 本発明は、上記の点に鑑みてなしたものであり、その目的とするところは、全数に対して良否判定の検査を迅速に行うことのできる半導体チップの検査方法を提供することにある。

【0007】

【課題を解決するための手段】 請求項 1 記載の発明は、基板上に段差を有した絶縁膜を形成し、該絶縁膜上に配線電極を形成してなる半導体チップの検査方法において、半導体チップ製造の最終工程にて、前記配線電極に一旦熱的ストレスをかけた後常温に戻し、該熱的ストレス印加の前後で、配線電極の抵抗値の変化を検出し、該抵抗値の変化が所定値を超えるか否かにより半導体チップの良否を判断するようにしたことを特徴とするものである。

【0008】 請求項 2 記載の発明は、請求項 1 記載の発明において、前記配線電極上にパシベーション膜を形成したことを特徴とするものである。

【0009】

【発明の実施の形態】 以下、本発明の実施の形態の一例を図面に基づき説明する。図 1 は、本発明の実施の形態の一例に係る半導体チップの断面を示す模式図である。図 1 (a) に示すように、半導体チップは、シリコン等の基板 1 と、基板 1 の表面に形成されるシリコン酸化膜等の酸化膜 2 と、半導体チップ上に形成する素子と半導体チップを包み込むパッケージのリード配線とを電氣的に接続するための A1 電極等の配線電極 3 を有してなる。半導体チップ上に素子を形成するために、酸化膜 2 に局所的にエッチングを施していくと、酸化膜 2 には段差部 (オーバーハング) 2 a が生じる。従って、配線電極 3 は段差形状の酸化膜 2 の上に形成されることになり、配線電極 3 が段差部 2 a の両側で、配線電極 3 a、3 b というように、接触部 6 a でのみ接触された状態で 2 分されてしまうように形成される。さらに、配線電極 3 a、3 b 上に保護用のパシベーション膜 4 を形成する。パシベーション膜 4 は 2 分された配線電極 3 a、3 b 上に形成されるので、隙間 5 (クラック) が発生し配線電極 3 a、3 b と同様に 2 分されパシベーション膜 4 a、4 b となる。

【0010】 ここで、この配線電極 3 a、3 b に熱を加えると、配線電極 3 a、3 b 間の接触部 6 a の状態が熱的ストレスによるマイグレーション現象により、図 1 (b) に示すように、接触部 6 b の如く変化し、その後

常温に戻しても接触部6bの状態のままとなる。つまり、熱的ストレスにより、配線電極3a、3b間の接触の程度が小さくなるのである。従って、熱的ストレスを加える前後で配線電極3a、3b間の抵抗値を測定すれば、図2に示すように、最初に常温で測定した抵抗値R1から、例えば100℃の高温で抵抗値R2と大きな値となり、再度常温に戻したとき、抵抗値R3（抵抗値R1より大きな値）となり元の値に戻らない。配線電極3が正常な状態であれば、上述のような熱的ストレスをかけた場合でもその前後で抵抗値は変化しない（R1とR3が等しくなる）ので、抵抗値R1、R3の差の値R4が生じたときに、この値が所定値よりも大きいか否かを調べれば、配線電極3a、3bの状態が判断できる。つまり、差の値R4が所定値よりも大きくなっていれば配線電極3a、3b間が不完全な導通状態であり、不良と判断できるのである。

【0011】本実施形態によれば、従来の工程の最後に、熱的ストレスをかけ、その前後で配線電極の抵抗値を測定することにより、出来上がった半導体チップの良否を確実に判断できるようになる。

【0012】

【発明の効果】以上のように、請求項1記載の発明によれば、基板上に段差を有した絶縁膜を形成し、該絶縁膜上に配線電極を形成してなる半導体チップの検査方法において、半導体チップ製造の最終工程にて、前記配線電極に一旦熱的ストレスをかけた後常温に戻し、該熱的ス

トレス印加の前後で、配線電極の抵抗値の変化を検出し、該抵抗値の変化が所定値を超えるか否かにより半導体チップの良否を判断するようにしたので、全数に対して良否判定の検査を迅速に行うことのできる半導体チップの検査方法が提供できた。

【0013】請求項2記載の発明によれば、請求項1記載の発明において、前記配線電極上にパシベーション膜を形成した場合でも、全数に対して良否判定の検査を迅速に行うことができるのである。

【図面の簡単な説明】

【図1】本発明の実施の形態の一例に係る半導体チップの断面状態を示す模式図である。

【図2】同上に係る配線電極に熱的ストレスを印加した場合の抵抗値を示す特性図である。

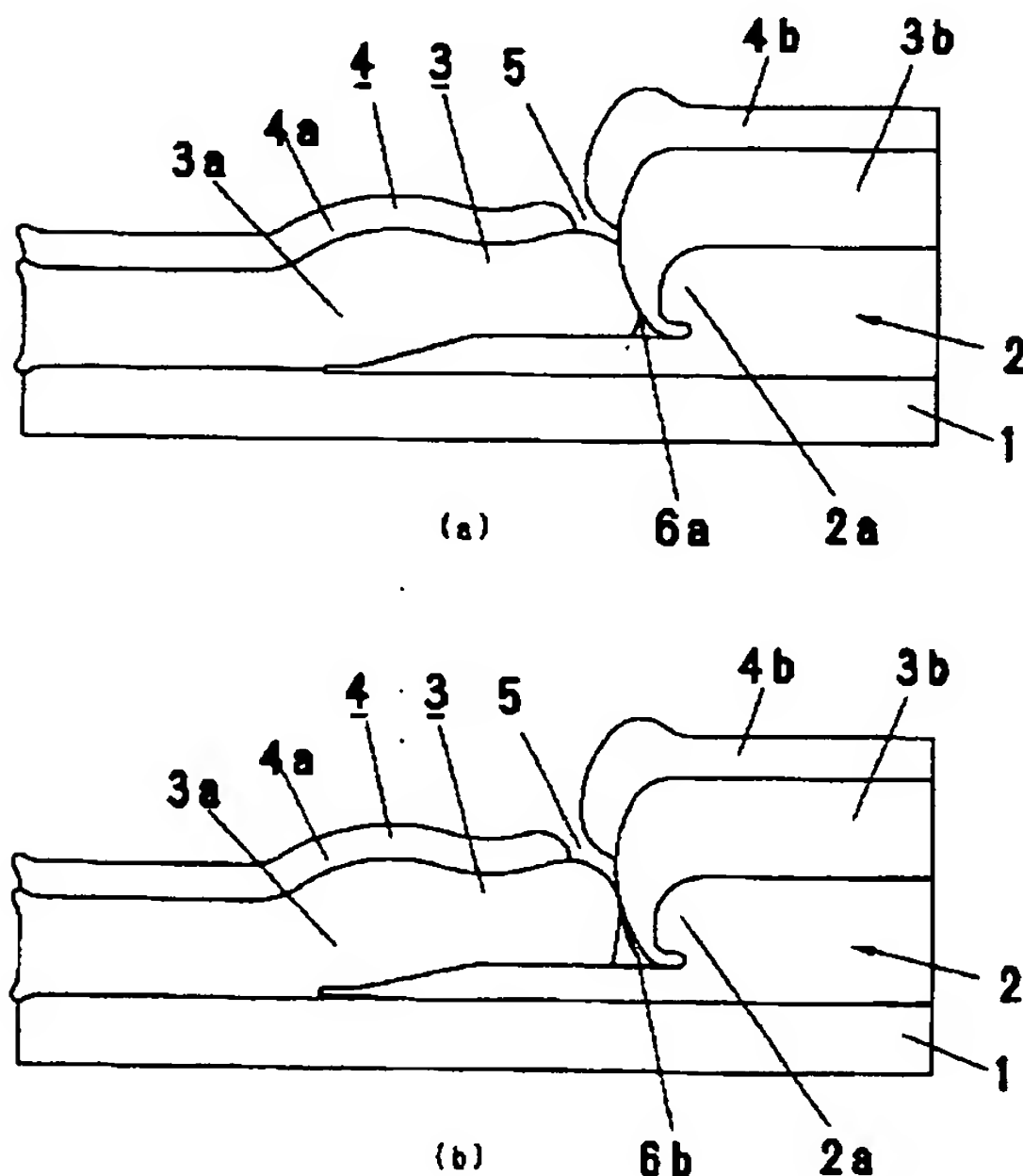
【図3】従来の半導体チップの断面状態を示す模式図である。

【図4】従来の半導体チップの特性検査方法を示す模式図である。

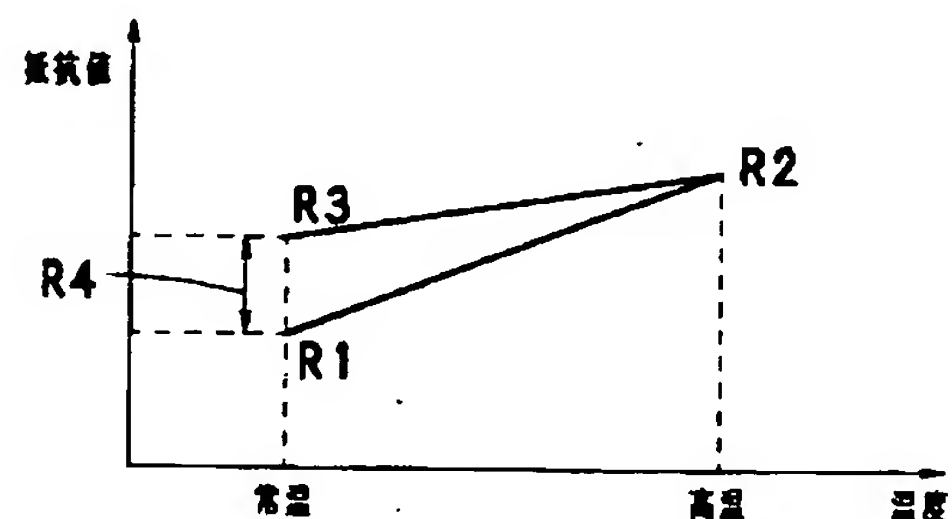
【符号の説明】

- 1 基板
- 2 酸化膜
- 2a 段差部
- 3、3a、3b 配線電極
- 4、4a、4b パシベーション膜
- 5 隙間
- 6a、6b 接触部

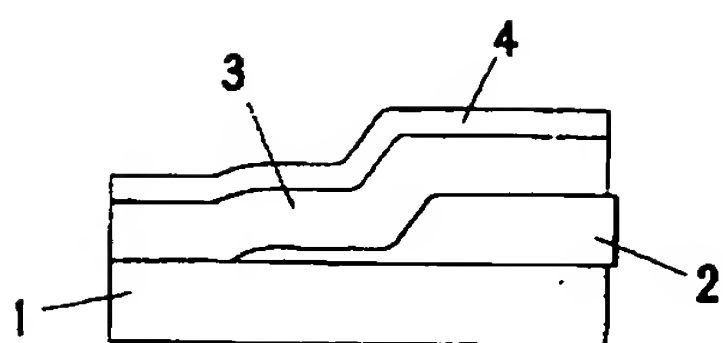
【図1】



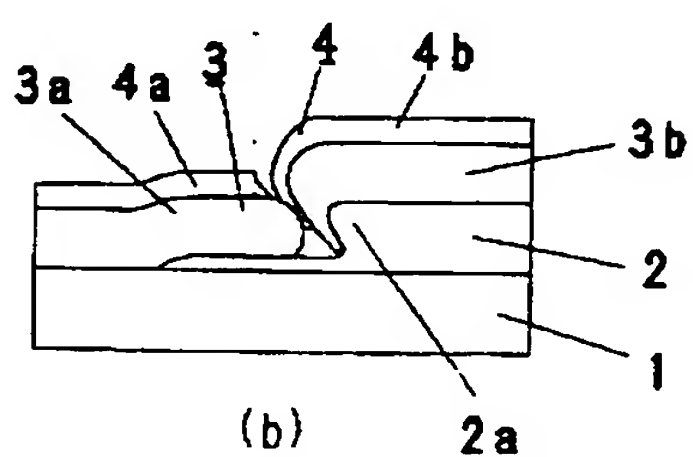
【図2】



【図3】

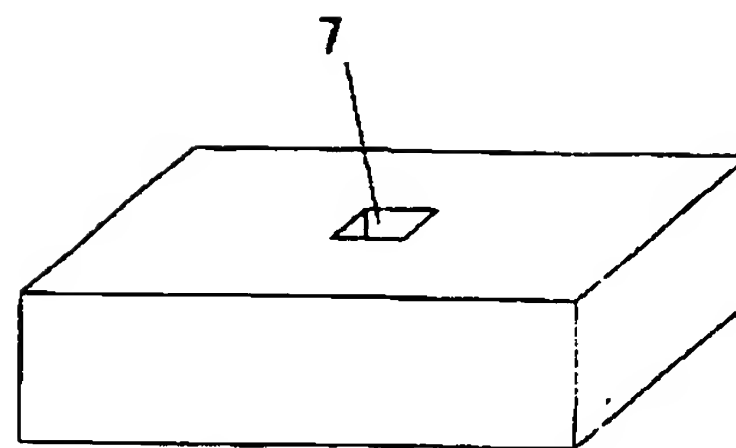


(a)

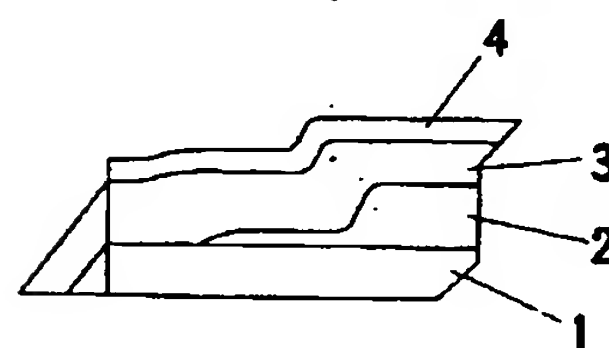


(b)

【図4】



(a)



(b)